

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-083953

(43)Date of publication of application : 22.03.2002

(51)Int.Cl.

H01L 27/15  
H01L 31/02  
H01L 31/12  
H01S 5/022

(21)Application number : 2001-197802

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 29.06.2001

(72)Inventor : KONDO TAKAYUKI  
SHIMODA TATSUYA

(30)Priority

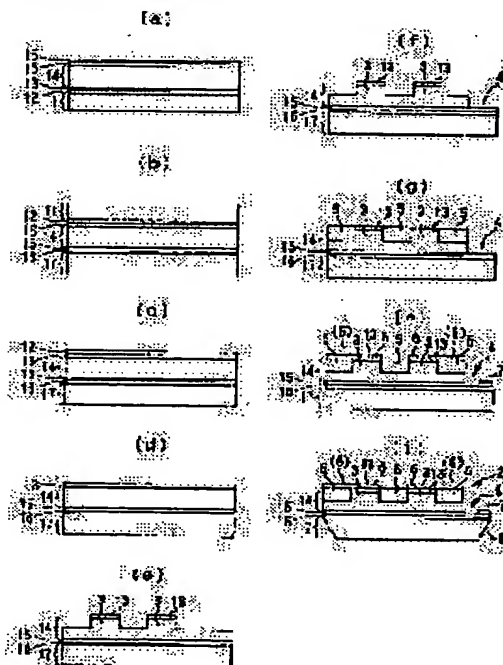
Priority number : 2000199984 Priority date : 30.06.2000 Priority country : JP

## (54) FINE STRUCTURE FOR MOUNTING AND OPTICAL TRANSMITTER

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a fine structure for mounting a compound semiconductor element such as surface emitting laser element with high positional precision by fitting it to the recess part of the upper surface of a substrate by gravity.

**SOLUTION:** A surface emitting laser element 2 is formed on the upper surface of an Si block 1 formed precisely in the same form as that of the recess part of the upper surface of the substrate by Si an isotropic etching. In the case of the surface emitting laser, since a problem such as grid mismatching, etc., is generated when an epitaxial layer is grown on an Si substrate, the epitaxial layer 14 is grown on the substrate of a Gas substrate 11, e.g. it is joined onto the Si substrate upside down to form the element 2 and then the block 1 is formed and divided by Si anisotropic etching. In the block 1, an individual element can be formed but in order to drive it individually from the compound semiconductor element, a high resistance layer 23 and a current blocking layer 24 are interposed in the intermediate parts 22 of both of them. When an electrode is provided on the upper surface of the substrate 17, proper inspection is easy.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-83953

(P2002-83953A)

(43) 公開日 平成14年3月22日 (2002.3.22)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 27/15

識別記号

F I

H 0 1 L 27/15

テ-マコード\* (参考)

H 5 F 0 7 3

D 5 F 0 8 8

T 5 F 0 8 9

A

31/02

31/12

31/12

H 0 1 S 5/022

審査請求 未請求 請求項の数26 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2001-197802(P2001-197802)

(22) 出願日 平成13年6月29日(2001.6.29)

(31) 優先権主張番号 特願2000-199984(P2000-199984)

(32) 優先日 平成12年6月30日(2000.6.30)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 近藤 貴幸

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 下田 達也

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100089037

弁理士 渡邊 隆 (外2名)

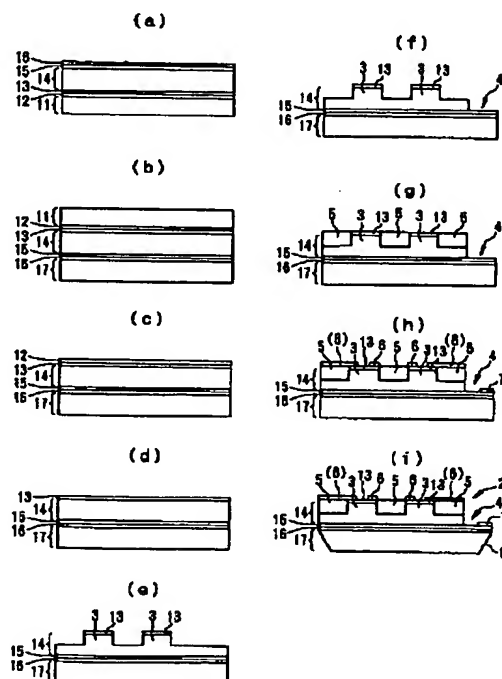
最終頁に続く

(54) 【発明の名称】 実装用微小構造体および光伝送装置

## (57) 【要約】

【課題】 基板上面の凹部に重力で嵌合し、面発光レーザー素子等の化合物半導体素子を高位置精度に実装するための実装用微小構造体を提供する。

【解決手段】 S i 異方性エッチングにより基板上面の凹部と同形態に高精度に形成された S i 製ブロック 1 の上面に面発光レーザー素子 2 を形成する。面発光レーザーの場合、エピタキシャル層を S i 基板上で成長させると、格子不整合等の問題が生じるため、例えば G a A s 基板 1 1 基板上にエピタキシャル層 1 4 を成長させ、それを逆向きにして S i 基板 1 7 上に接合し、面発光レーザー素子 2 を成形してから、異方性エッチングにより S i 製ブロック 1 を成形・分割する。S i 製ブロック 1 には個別の素子を形成してもよいが、化合物半導体素子と個別に駆動するために、両者の中間層 2 2 に高抵抗層 2 3 や電流阻止層 2 4 などを介装する。電極を S i 基板 1 7 の上面に設けるとプローバ検査し易い。



## 【特許請求の範囲】

【請求項 1】 流体に混入されてスラリをなし、このスラリを基体の上面で流動させることにより、当該基体の上面の所定の部位に形成された凹部に嵌合して実装される実装用微小構造体であって、前記基体上面の凹部に嵌合する形態の Si 製ブロックと、このブロックの上面に形成された化合物半導体素子とを備えたことを特徴とする実装用微小構造体。

【請求項 2】 前記 Si 製ブロックと化合物半導体素子とを化合物半導体-Si 直接接合で接合したことを特徴とする請求項 1 に記載の実装用微小構造体。

【請求項 3】 前記 Si 製ブロックと化合物半導体素子とを InP-Si 直接接合で接合したことを特徴とする請求項 1 に記載の実装用微小構造体。

【請求項 4】 前記 Si 製ブロックと化合物半導体素子とを GaAs-Si 直接接合で接合したことを特徴とする請求項 1 に記載の実装用微小構造体。

【請求項 5】 前記 Si 製ブロックと化合物半導体素子とを金属膜を介して接合したことを特徴とする請求項 1 に記載の実装用微小構造体。

【請求項 6】 前記 Si 製ブロックと化合物半導体素子とを半田を介して接合したことを特徴とする請求項 1 に記載の実装用微小構造体。

【請求項 7】 前記 Si 製ブロックと化合物半導体素子とを樹脂を介して接合したことを特徴とする請求項 1 に記載の実装用微小構造体。

【請求項 8】 前記 Si 製ブロックと化合物半導体素子とを SiO<sub>2</sub>膜を介して接合したことを特徴とする請求項 1 に記載の実装用微小構造体。

【請求項 9】 前記 Si 製ブロックと化合物半導体素子とを SiO<sub>2</sub>膜と AlGaAs 層を介して接合したことを特徴とする請求項 1 に記載の実装用微小構造体。

【請求項 10】 前記化合物半導体素子を、一つの Si 製ブロックに対して複数形成したことを特徴とする請求項 1 乃至 9 の何れかに記載の実装用微小構造体。

【請求項 11】 前記 Si 製ブロック自体に、個別の素子を形成したことを特徴とする請求項 1 乃至 10 の何れかに記載の実装用微小構造体。

【請求項 12】 前記 Si 製ブロック自体に形成された個別の素子は、前記化合物半導体素子と互いに重合又は対向する位置に配置されていることを特徴とする請求項 11 に記載の実装用微小構造体。

【請求項 13】 前記 Si 製ブロック自体に形成された個別の素子は、前記化合物半導体素子と互いにずれた位置に配置されていることを特徴とする請求項 11 に記載の実装用微小構造体。

【請求項 14】 前記化合物半導体素子用の全ての電極を、前記 Si 製ブロックの上面に形成したことを特徴とする請求項 1 乃至 13 の何れかに記載の実装用微小構造体。

【請求項 15】 前記化合物半導体素子用の何れかの電極を、前記 Si 製ブロック用の電極と共通化したことを特徴とする請求項 1 乃至 13 の何れかに記載の実装用微小構造体。

【請求項 16】 前記 Si 製ブロックの上面に形成された化合物半導体素子用の電極と当該 Si 製ブロックとの間に、抵抗値が  $1 \times 10^4 \Omega$  以上の高抵抗層を設けたことを特徴とする請求項 15 に記載の実装用微小構造体。

【請求項 17】 前記高抵抗層を化合物半導体で構成したことを特徴とする請求項 16 に記載の実装用微小構造体。

【請求項 18】 前記高抵抗層を、Cr と O がドーブされた化合物半導体で構成したことを特徴とする請求項 16 に記載の実装用微小構造体。

【請求項 19】 前記高抵抗層を酸化物で構成したことを特徴とする請求項 16 に記載の実装用微小構造体。

【請求項 20】 前記高抵抗層を窒化物で構成したことを特徴とする請求項 16 に記載の実装用微小構造体。

【請求項 21】 前記高抵抗層を樹脂で構成したことを特徴とする請求項 16 に記載の実装用微小構造体。

【請求項 22】 前記 Si 製ブロックの上面に形成された化合物半導体素子用の電極と当該 Si 製ブロックとの間に、PN 接合による電流阻止層を設けたことを特徴とする請求項 15 に記載の実装用微小構造体。

【請求項 23】 P 型半導体及び N 型半導体の層を PN P 又は NPN の順に積層して、前記電流阻止層を構成したことを特徴とする請求項 22 に記載の実装用微小構造体。

【請求項 24】 前記電流阻止層を構成する P 型半導体又は N 型半導体として、前記 Si 製ブロック直近のコンタクト層を用いることを特徴とする請求項 23 に記載の実装用微小構造体。

【請求項 25】 発光素子を含む請求項 1 乃至 24 の何れかに記載の実装用微小構造体が凹部内に実装された基体と、受光素子を含む請求項 1 乃至 24 の何れかに記載の実装用微小構造体が凹部内に実装された基体とが、前記発光素子と前記受光素子とが互いに対向するように積層されてなることを特徴とする光伝送装置。

【請求項 26】 発光素子を含む請求項 1 乃至 24 の何れかに記載の実装用微小構造体が凹部内に実装された基体からなる発光部と、受光素子を含む請求項 1 乃至 24 の何れかに記載の実装用微小構造体が凹部内に実装された基体からなる受光部とを有することを特徴とする光伝送装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、素子を基体（基板）に実装するときに用いられる実装用微小構造体に関し、例えばワンチップコンピュータのように、積層した IC チップ間での光インターコネクション装置に好適な

ものである。

#### 【0002】

【従来の技術】コンピュータの更なる高速化を図るため、CPUやDRAM等のICチップを積層し、チップ間のデータのやりとりを光信号で行うワンチップコンピュータが考えられている。このようなワンチップコンピュータの光インターコネクション装置は、例えば或るICチップの発光素子と、他のICチップの受光素子とが対向するようにして各ICチップを積層すれば、一方の発光素子の発光を他のICチップで直接的に受光することができる。従って、この光にデータに乗せれば、ICチップ間でデータの伝送を高速に行うことができる。また、受光素子が設けられたICチップを更に積層すれば、一つの発光素子の信号を複数の受光素子で受光することができる、つまり一つのICチップのデータを同時に複数の他のICチップに伝送することができるため、非常に高速な光バスを形成することもできる。なお、このような積層ICチップ間の光インターコネクション装置の発光素子としては、出射口の口径が小さい垂直共振器型面発光レーザ素子が最適である。

【0003】一方、例えばUnited States Patent 59045に記載される素子実装技術がある。この素子実装技術は、図10に示すように、例えば基板やフィルム等の基体Cの上面に所定の形状の凹部Aを形成しておき、実装すべき素子を、この凹部に嵌合する形態の微小構造体Bに成形し、この微小構造体Bを所定の流体に混入してスラリーを作り、このスラリーを、前記基体Cの上面上で流動すると、前記凹部Aと同じ形態の微小構造体Bからなる素子が当該凹部Aに重力によって嵌合して、実装されるものである。この従来技術でも、例えばGaAsから構成される面発光レーザ素子を、前記凹部に嵌合する形態の微小構造体Bに成形し、前記実装技術によって、当該面発光レーザ素子を実装することが開示されている。なお、前記基体はSiで形成されており、当該基体の上面の凹部は、Si異方性エッチングによって形成されている。

#### 【0004】

【発明が解決しようとする課題】ところで、周知のように、Si異方性エッチングは、形成する形態の精度が極めて高い。つまり、前記基体の上面に形成される凹部の形態は、非常に精度がよい。しかし、前記面発光レーザ素子に代表される化合物半導体では、異方性エッチングを施しても、さほど形態の精度が高くない。つまり、異方性エッチングで形成される化合物半導体の微小構造体は、形態精度に劣る。従って、如何に基体上面の凹部の形態精度が高くても、化合物半導体の微小構造体の形態精度が低くては、素子として実装する位置精度が低くなってしまう。

【0005】本発明は前記諸問題を解決すべく開発されたものであり、素子実装位置精度が極めて高い実装用微

小構造体を提供することを目的とするものである。

#### 【0006】

【課題を解決するための手段】上記諸問題を解決するため、本発明のうち請求項1に係る実装用微小構造体は、流体に混入されてスラリーをなし、このスラリーを基体の上面で流動させることにより、当該基体の上面の所定の部位に形成された凹部に嵌合して実装される実装用微小構造体であって、前記基体上面の凹部に嵌合する形態のSi製ブロックと、このブロックの上面に形成された化合物半導体素子とを備えたことを特徴とするものである。

【0007】また、本発明のうち請求項2に係る実装用微小構造体は、前記請求項1の発明において、前記Si製ブロックと化合物半導体素子とを化合物半導体-Si直接接合で接合したことを特徴とするものである。また、本発明のうち請求項3に係る実装用微小構造体は、前記請求項1の発明において、前記Si製ブロックと化合物半導体素子とをInP-Si直接接合で接合したことを特徴とするものである。また、本発明のうち請求項4に係る実装用微小構造体は、前記請求項1の発明において、前記Si製ブロックと化合物半導体素子とをGaAs-Si直接接合で接合したことを特徴とするものである。

【0008】また、本発明のうち請求項5に係る実装用微小構造体は、前記請求項1の発明において、前記Si製ブロックと化合物半導体素子とを金属膜を介して接合したことを特徴とするものである。また、本発明のうち請求項6に係る実装用微小構造体は、前記請求項1の発明において、前記Si製ブロックと化合物半導体素子とを半田を介して接合したことを特徴とするものである。また、本発明のうち請求項7に係る実装用微小構造体は、前記請求項1の発明において、前記Si製ブロックと化合物半導体素子とを樹脂を介して接合したことを特徴とするものである。また、本発明のうち請求項8に係る実装用微小構造体は、前記請求項1の発明において、前記Si製ブロックと化合物半導体素子とをSiO<sub>2</sub>膜を介して接合したことを特徴とするものである。また、本発明のうち請求項9に係る実装用微小構造体は、前記請求項1の発明において、前記Si製ブロックと化合物半導体素子とをSiO<sub>2</sub>膜とAlGaAs層を介して接合したことを特徴とするものである。

【0009】また、本発明のうち請求項10に係る実装用微小構造体は、前記請求項1乃至9の発明において、前記化合物半導体素子を、一つのSi製ブロックに対して複数形成したことを特徴とするものである。また、本発明のうち請求項11に係る実装用微小構造体は、前記請求項1乃至10の発明において、前記Si製ブロック自体に、個別の素子を形成したことを特徴とするものである。

【0010】また、本発明のうち請求項12に係る実装用微小構造体は、前記請求項11の発明において、前記

Si製ブロック自体に形成された個別の素子は、前記化合物半導体素子と互いに重合又は対向する位置に配置されていることを特徴とするものである。また、本発明のうち請求項13に係る実装用微小構造体は、前記請求項11の発明において、前記Si製ブロック自体に形成された個別の素子は、前記化合物半導体素子と互いにずれた位置に配置されていることを特徴とするものである。

【0011】また、本発明のうち請求項14に係る実装用微小構造体は、前記請求項1乃至13の発明において、前記化合物半導体素子用の全ての電極を、前記Si製ブロックの上面に形成したことを特徴とするものである。また、本発明のうち請求項15に係る実装用微小構造体は、前記請求項1乃至13の発明において、前記化合物半導体素子用の何れかの電極を、前記Si製ブロック用の電極と共通化したことを特徴とするものである。

【0012】また、本発明のうち請求項16に係る実装用微小構造体は、前記請求項15の発明において、前記Si製ブロックの上面に形成された化合物半導体素子用の電極と当該Si製ブロックとの間に、抵抗値が $1 \times 10^4 \Omega$ 以上の高抵抗層を設けたことを特徴とするものである。また、本発明のうち請求項17に係る実装用微小構造体は、前記請求項16の発明において、前記高抵抗層を化合物半導体で構成したことを特徴とするものである。

【0013】また、本発明のうち請求項18に係る実装用微小構造体は、前記請求項16の発明において、前記高抵抗層を、CrとOがドーブされた化合物半導体で構成したことを特徴とするものである。また、本発明のうち請求項19に係る実装用微小構造体は、前記請求項16の発明において、前記高抵抗層を酸化物で構成したことを特徴とするものである。

【0014】また、本発明のうち請求項20に係る実装用微小構造体は、前記請求項16の発明において、前記高抵抗層を窒化物で構成したことを特徴とするものである。また、本発明のうち請求項21に係る実装用微小構造体は、前記請求項16の発明において、前記高抵抗層を樹脂で構成したことを特徴とするものである。また、本発明のうち請求項22に係る実装用微小構造体は、前記請求項15の発明において、前記Si製ブロックの上面に形成された化合物半導体素子用の電極と当該Si製ブロックとの間に、PN接合による電流阻止層を設けたことを特徴とするものである。

【0015】また、本発明のうち請求項23に係る実装用微小構造体は、前記請求項22の発明において、P型半導体及びN型半導体の層をPNP又はNPNの順に積層して、前記電流阻止層を構成したことを特徴とするものである。また、本発明のうち請求項24に係る実装用微小構造体は、前記請求項23の発明において、前記電流阻止層を構成するP型半導体又はN型半導体として、前記Si製ブロック直近のコンタクト層を用いることを

特徴とするものである。

【0016】本発明の請求項25に記載の光伝送装置は、発光素子を含む請求項1乃至24の何れかに記載の実装用微小構造体が凹部内に実装された基体と、受光素子を含む請求項1乃至24の何れかに記載の実装用微小構造体が凹部内に実装された基体とが、前記発光素子と前記受光素子とが互に対向するように積層されてなることを特徴とするものである。また本発明の請求項26に記載の光伝送装置は、発光素子を含む請求項1乃至24の何れかに記載の実装用微小構造体が凹部内に実装された基体からなる発光部と、受光素子を含む請求項1乃至24の何れかに記載の実装用微小構造体が凹部内に実装された基体からなる受光部とを有することを特徴とするものである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について説明する。図1は、本実施形態の実装用微小構造体の第1実施形態を示す製造工程の説明図であり、同図1iが実装用微小構造体としての完成状態を示す。この実施形態は、前記従来の素子実装技術に用いられるものであり、前記基板等の基体の上面の凹部に嵌合するSi製ブロック1の上面に、化合物半導体素子として面発光レーザ素子2を形成したものである。なお、Si製ブロック1と面発光レーザ素子2との接合には、後述するようなInP-Si直接接合を用いている。

【0018】この実施形態では、まず図1aに示すように、n型GaAs基板11上にエッチングストップ層12を形成し、その上にnコンタクト層13を形成し、その上に面発光レーザエピタキシャル層14を形成し、その上にpコンタクト層15を形成し、その上にInP層16を形成する。前記エッチングストップ層12には、例えばAl組成の高いAlGaAs層か、AlAs層が用いられる。前記nコンタクト層13及びpコンタクト層15は、何れも後述する各電極とオーミック接触可能な材質であることが必要であり、AlGaAs系材料の場合、例えば $10^{18} \text{ cm}^{-3}$ 以上の高濃度の不純物がドーブされたGaAsが用いられる。

【0019】前記面発光レーザエピタキシャル層14は、前記nコンタクト層13の上に形成された25ペアの上部分布反射型多層膜ミラー（以下、単に上部DBRミラーとも記す）、その上に形成された量子井戸活性層、その上に形成された30ペアの下部分布反射型多層膜ミラー（以下、単に下部DBRミラーとも記す）が積層されて構成されている。前記上部DBRミラーは、Al<sub>0.15</sub>Ga<sub>0.85</sub>AsとAlAsとを交互に積層し、Seをドーブして形成される。従って、上部DBRミラーはn型である。前記量子井戸活性層は、厚さ3nmのGaAsウエル層と、厚さ3nmのAl<sub>0.3</sub>Ga<sub>0.7</sub>Asバリア層からなり、前記ウエル層を3層備えて形成される。また、前記下部DBRミラーは、Al<sub>0.15</sub>Ga<sub>0.85</sub>

As と Al<sub>0.9</sub>Ga<sub>0.1</sub>As とを交互に積層し、Zn をドーピングして形成される。従って、下部 DBR ミラーは p 型である。

【0020】前記各層は、有機金属気相成長 (MOVPE: Metal-Organic Vapor Phase Epitaxy) 法でエピタキシャル成長させることができる。このとき、例えば成長温度を 700℃、成長圧力を  $2 \times 10^4$  Pa とし、InP が必要な本実施形態では、III 族原料として TMGa (トリメチルガリウム)、TMAI (トリメチルアルミニウム) と TMI (トリメチルインジウム) を用い、V 族原料として AsH<sub>3</sub> と PH<sub>3</sub> (ホスフィン) を用いる。また、前記 n 型ドーパメントには H<sub>2</sub>Se、p 型ドーパメントには DEZn (ジメチル亜鉛) を用いることができる。

【0021】前記上部 DBR ミラーは n 型、下部 DBR ミラーは p 型であるので、不純物がドーピングされていない量子井戸活性層との構成で、pin ダイオードが形成される。この pin ダイオードに順方向の電圧を印加すると、量子井戸活性層において、電子と正孔との再結合が起こり、再結合発光が生じる。そこで生じた光が上部 DBR ミラーと下部 DBR ミラーとの間を往復する際、誘導放出が起こり、光の強度が増幅される。これにより、光利得が光損失を上回るとレーザ発振が起こり、面発光レーザのエピタキシャル層面に対して垂直方向、図面では上下方向にレーザ光が出射されるのである。

【0022】この実施形態では、後述するように、化合物半導体である面発光レーザエピタキシャル層 14 を、エピタキシャル成長し易い GaAs 基板 11 上に形成し、これを Si 製ブロック 1 用の個別の Si 基板 17 に貼付ける。これは、Si 基板上に直接化合物半導体をエピタキシーする際に生じる多くの問題、例えば格子不整合や熱膨張係数の不一致による歪み等を回避して、良好なエピタキシャル層を得るためである。

【0023】次に、図 1b に示すように、前記図 1a の面発光レーザエピタキシャル層 14 を逆向きにして、個別に用意した酸化膜除去済み Si 基板 17 に重ね合わせ、前記 InP 層 16 を Si 基板 17 表面に密着させ、加圧して加熱することにより、InP-Si 直接接合により両者を接合する。InP-Si 直接接合については、例えば Appl. Phys. Lett. 62(10), 8 March 1993 p. 1038-1040、或いは IEEE PHOTONICS TECHNOLOGY LETTERS, VOL 8, NO. 2, FEBRUARY 1996 pp. 173-175、或いは Jpn. j. Appl. Phys. Vol. 33 (1994) pp. 4878-4879 に詳しい。

【0024】次に、図 1c に示すように、選択エッチングによって前記 GaAs 基板 11 を除去する。選択エッチングには、アルカリ系のエッチング液、例えばアンモニア水と過酸化水素水の混合液などが用いられる。次に、図 1d に示すように、緩衝フッ酸などによって、前記エッチングストップ層 12 を除去する。

【0025】次に、図 1e に示すように、前記 n コンタクト層 13 上に設けられたレジスト層等をマスクとし、ドライエッチング法により、前記面発光レーザエピタキシャル層 14 をメサ状にエッチングして、柱状部 3 を形成する。前記レジスト層の形成方法は、n コンタクト層 13 表面に塗布されたフォトリソグラフィ法によりパターンニングして、所定のパターンのレジスト層を形成する。また、ドライエッチングには、通常、エッチングガスとして塩素又は塩素系ガス (塩化水素、SiCl<sub>4</sub>、BCl<sub>3</sub>) を用いた反応性イオンビームエッチング法が用いられる。

【0026】次に、図 1f に示すように、前記柱状部 3 及びその周囲を覆うレジスト層を形成し、このレジスト層をマスクとして、ドライエッチング法により、残りの面発光レーザエピタキシャル層 14 をエッチングし、前記 p コンタクト層 15 が露出するコンタクトホール 4 を形成する。レジスト層の形成方法及びドライエッチング法は、前記図 1e と同様である。

【0027】次に、図 1g に示すように、前記柱状部 3 の周囲にポリイミド絶縁層 5 を形成する。ここでは、感光性ポリイミド前駆体を表面にスピンコートした後、フォトリソグラフィ法で柱状部 3 の上面とコンタクトホール 4 の底面、つまり p コンタクト層 15 の上面を露出し、これを窒素雰囲気中で加熱処理 (400℃) してポリイミド樹脂に変質させる。これにより、前記柱状部 3 の周囲に埋め込むように絶縁層 5 が形成される。

【0028】次に、図 1h に示すように、前記柱状部 3 の上面の n コンタクト層 13 にリング状のカソード電極 6 を形成し、前記コンタクトホール 4 内の p コンタクト層 15 にアノード電極 7 を形成し、これにより前記面発光レーザエピタキシャル層 14 の柱状部 3 に前記 pin ダイオードからなる面発光レーザ素子 2 が形成される。なお、前記カソード電極 6 は AuGe 合金、アノード電極 7 は AuZn 合金とした。

【0029】次に、図 1i に示すように、前記 Si 基板 17 を異方性エッチングして、前記図 10 の凹部に嵌合する形態の Si 製ブロック 1 を形成する。これにより、面発光レーザ素子 2 が上面に形成された Si 製ブロック 1 からなる実装用微小構造体が完成される。なお、この実施形態では、異方性エッチングにより Si 製ブロック 1 が分割される以前にブローバによる面発光レーザ素子 2 の検査を行う。そのとき、本実施形態では、Si 基板 17 の上面にカソード電極 6 とアノード電極 7 とが共に形成されているため、ブローバを使った検査を行い易い。なお、Si 製ブロック 1 は、上方平面より下方平面が小さく、側面が台形なものである。

【0030】このように、本実施形態の実装用微小構造体では、Si 製ブロック 1 の上面に面発光レーザ素子 2 などの化合物半導体素子が設けられているため、Si 製ブロック 1 を Si 異方性エッチングで形成すれば、形態



精度が高く、基板等の基体をSi製とし、その上面に形成する凹部をSi異方性エッチングで形成すれば、当該凹部の形態精度も高くなるので、前記Si製ブロック1が凹部に嵌合したときの嵌合精度が高くなり、当該Si製ブロック1上面の化合物半導体の実装位置精度を高めることができる。本実施例では化合物半導体-Si直接接合の一例としてInP-Si直接接合を挙げたが、GaAs-Si直接接合で行うこともできる。ただしGaAs-Si直接接合の場合、接合面での原子のマイグレーションがInPに比べ少ないため、より高温での熱処理が必要となる。

【0031】次に、本発明の実装用微小構造体の第2実施形態について、図2を用いて説明する。この実施形態は、例えば前記第1実施形態のSi製ブロック1と化合物半導体素子である面発光レーザ素子2とを金属膜によって接合したものである。図2aは、前記第1実施形態と同様にして形成されたGaAs基板11、エッチングストップ層12、nコンタクト層13、面発光レーザエピタキシャル層14、pコンタクト層15である。第1実施形態と違って、InP層16はない。

【0032】このエピタキシャル層14に対して、図2bに示すように、前記pコンタクトの上面にGaAs層18を形成する。このGaAs層18は、エピタキシャルの一端として容易に形成できる。次に、図2cに示すように、Si基板17の上面にPd膜19を形成する。このPd膜19はスパッタ法、真空蒸着法、メッキ法等によって形成される。

【0033】次に、図2dに示すように、前記図2bの面発光レーザエピタキシャル層14を逆向きにしてSi基板17に重合し、前記GaAs層18を、水を介して前記Si基板17上面のPd膜19に密着させ、加圧して加熱することにより、図2eに示すように面発光レーザエピタキシャル層14とSi基板17とを接合する。このようなGaAs-Pd金属膜介装接合は、例えばAppl. Phys. Lett. 59 (24), 9 December 1991 pp.3159-3161に詳しい。

【0034】このような金属膜介装接合には、他にAuを用いるものもある。即ち、前記pコンタクト層15の上面と、Si基板17の上面とにAu層を設け、面発光レーザエピタキシャル層14を逆向きにしてSi基板17に重合し、Au層同士を密着させ、加圧して加熱することにより、面発光レーザエピタキシャル層14とSi基板17とを接合する。このようなAu金属膜介装接合は、例えばAppl. Phys. Lett. 60 (7), February 1992 pp.886-888に詳しい。

【0035】また、半田を用いて、面発光レーザエピタキシャル層14とSi基板17とを接合する方法もある。In材を半田に用いれば、面発光レーザエピタキシャル層14もSi基板17も無処理で接合することができる。なお、この後の面発光レーザ素子2の製造及びS

i製ブロック1の形成は、前記第1実施形態の図1d～図1iと同様である。

【0036】次に、本発明の実装用微小構造体の第3実施形態について、図3を用いて説明する。この実施形態は、例えば前記第1実施形態のSi製ブロック1と化合物半導体素子である面発光レーザ素子2とを樹脂、つまり接着剤によって接合したものである。図3aは、前記第1実施形態と同様にして形成されたGaAs基板11、エッチングストップ層12、nコンタクト層13、面発光レーザエピタキシャル層14、pコンタクト層15である。第1実施形態と違って、InP層16はない。

【0037】このエピタキシャル層14に対して、図3bに示すように、前記Si基板17の上面に樹脂製接着剤20を添加し、前記図3aの面発光レーザエピタキシャル層14を逆向きにしてSi基板17に重合し、やや加圧して、図3cに示すように面発光レーザエピタキシャル層14とSi基板17とを接合する。前記樹脂製接着剤20としてはポリイミド樹脂等が挙げられる。

【0038】この面発光レーザエピタキシャル層14とSi基板17との接合方法は非常に簡易であり、合わせて例えばSi基板17上が、平滑でなくても問題がない。なお、この後の面発光レーザ素子2の製造及びSi製ブロック1の形成は、前記第1実施形態の図1d～図1iと同様である。次に、本発明の実装用微小構造体の第4実施形態について図4を用いて説明する。この実施形態では、Si製ブロック1の上面に設けられた前記面発光レーザ素子2などの化合物半導体素子に加えて、Si製ブロック1自体にも素子8を形成したものである。このようにすれば、複数の素子をスタック状に実装したことになるので、実装密度を更に高めることが可能となる。

【0039】なお、このようにSi製ブロック1自体にも素子8を形成する場合には、例えばSi製ブロック1の下面に、前記化合物半導体素子と共通の電極を設ければ、電極数が少なくなり、構成の容易化や低コスト化を図ることができる。次に、本発明の実装用微小構造体の第5実施形態について図5を用いて説明する。この実施形態では、化合物半導体素子としてSi製ブロック1の上面に設けられた面発光レーザ素子2の直下に、当該Si製ブロック1自体に設けられた素子として、フォトダイオード8を配置したものである。つまり、面発光レーザ素子2とフォトダイオード8とは互いに重合又は対向する位置に配置されている。そのため、この実施形態では、前記面発光レーザ素子2の発光状態をフォトダイオード8でモニタすることが可能となる。

【0040】次に、本発明の実装用微小構造体の第6実施形態について図6を用いて説明する。この実施形態では、化合物半導体素子としてSi製ブロック1の上面に設けられた面発光レーザ素子2と、当該Si製ブロック



1 自体に設けられた素子であるフォトダイオード 8 とを互いにずらして配置したものである。そのため、この実施形態では、同図に二点鎖線で示すように、もう一つの実装用微小構造体と互いに逆向きに対向するように基板等の基体を配置すれば、互いの面発光レーザ素子 2 が互いのフォトダイオード 8 に対向することになるので、互いのフォトダイオード 8 で互いの面発光レーザ素子 2 の発光状態をモニタすることができる。

【0041】次に、本発明の実装用微小構造体の第 7 実施形態について図 7 を用いて説明する。この実施形態における化合物半導体素子としての面発光レーザ素子 2 や Si 製ブロック 1 は、前記第 1 実施形態の図 1 i に示すものと同様に InP 層 16 を介して接合してあるが、本実施形態では、この接合層、即ち InP 層 16 と面発光レーザ素子 2 との間に中間層 22 を介装し、この中間層 22 の内部に、抵抗値が  $1 \times 10^4 \Omega$  以上の高抵抗層 23 を設けている。この高抵抗層 23 の抵抗値は、以下のようにして設定した。例えば、前記化合物半導体素子が面発光レーザ素子 2 や図示されない発光ダイオード等である場合の駆動電流は mA の単位である。そこで、許可能な漏れ電流を 0.2 mA とすると、Si 半導体素子も化合物半導体素子も駆動電圧は 2 V 程度であるから、絶縁層の抵抗値は  $1 \times 10^4 \Omega$  以上であれば、漏れ電流を 0.2 mA 以下とすることができる。この高抵抗層 23 は、例えば化合物半導体、特に Cr と O がドーパされた化合物半導体や、酸化物、特に Si 酸化物や、窒化物、特に Si 窒化物や、樹脂等で形成される。このように、Si 製ブロック 1 と面発光レーザ素子 2、即ち化合物半導体素子との間に高抵抗層 23 を介装することにより、Si 製ブロック 1 自体に個別の素子を形成する場合に、当該 Si 製ブロック 1 自体の素子と化合物半導体素子とを絶縁して、個別に駆動し易い。なお、前記 Si 製ブロック 1 と化合物半導体素子との接合方法は、前述した他の接合方法を用いてもよい。また、前記高抵抗層 23 は、接合層と Si 製ブロック 1 との間に配置してもよい。

【0042】次に、本発明の実装用微小構造体の第 8 実施形態について図 8 を用いて説明する。この実施形態における化合物半導体素子としての面発光レーザ素子 2 や Si 製ブロック 1 は、前記第 1 実施形態の図 1 i に示すものと同様に InP 層 16 を介して接合してあるが、本実施形態では、この接合層、即ち InP 層 16 と面発光レーザ素子 2 との間に中間層 22 を介装し、この中間層 22 の内部に、電流阻止層 24 を設けている。この電流阻止層 24 は、P 型半導体と N 型半導体とを、PNP か若しくは NPN の順に積層して構成される。この電流阻止層 24 は、面発光レーザ素子 2、即ち化合物半導体素子と、例えば自体に素子が形成されている Si 製ブロック 1 との間に、順接続のダイオードと逆接続のダイオードとを直列に接続した回路と等価に作用する。つまり、

化合物半導体素子と Si 製ブロックとの間に、正負どちらの電圧が印加されても、必ず逆接続のダイオードが存在することになるため、電流が流れることがない。そのため、例えば Si 製ブロック 1 自体に個別の素子を形成する場合に、当該 Si 製ブロック 1 自体の素子と化合物半導体素子とを絶縁して、個別に駆動し易い。なお、前記 Si 製ブロック 1 と化合物半導体素子との接合方法は、前述した他の接合方法を用いてもよい。

【0043】次に、本発明の実装用微小構造体の第 9 実施形態について図 9 を用いて説明する。この実施形態における化合物半導体素子としての面発光レーザ素子 2 や Si 製ブロック 1、前記第 1 実施形態の図 1 i に示すものと同様に InP 層 16 を介して接合してあるが、本実施形態では、この接合層、即ち InP 層 16 と面発光レーザ素子 2 との間に中間層 22 を介装し、この中間層 22 の内部に、電流阻止層 24 を設けている。この電流阻止層 24 は、前記第 8 実施形態の PNP 配列の電流阻止層 24 と等価であるが、本実施形態では、上方、つまり面発光レーザ側の P 型半導体として、前記 p コンタクト層 15 を用い、その直下に N 型半導体、P 型半導体を積層して、PNP 配列の電流阻止層 24 を形成している。これは、前記第 8 実施形態の電流阻止層 24 と全く同じ作用をなし、面発光レーザ素子 2、即ち化合物半導体素子と、Si 製ブロック 1 との間で電流が流れることがない。そのため、例えば Si 製ブロック 1 自体に個別の素子を形成する場合に、当該 Si 製ブロック 1 自体の素子と化合物半導体素子とを絶縁して、個別に駆動し易い。また、コンタクト層を半導体として用いることにより、構成の容易化や低コスト化が可能となる。なお、前記 Si 製ブロック 1 と化合物半導体素子との接合方法は、前述した他の接合方法を用いてもよい。

【0044】なお、前記各実施形態では、微小構造体を、全て上下面が正方形で、側面が台形のものとしたが、微小構造体の形態は、これに限定されるものではなく、例えば上下面が長方形であったり、平行四辺形或いは菱形のようなものであってもよい。また、Si 製ブロックの上面に形成される化合物半導体素子は、前記面発光レーザ素子に限定されるものではなく、例えば発光ダイオード等、化合物で構成される半導体素子であれば、どのようなものにも適用可能である。

【0045】次に、本発明の実装用微小構造体の第 10 実施形態について、図 11 及び図 12 を用いて説明する。この実施形態は、例えば前記第 1 実施形態の Si 製ブロック 1 と化合物半導体素子である面発光レーザ素子 2 とを SiO<sub>2</sub> 膜 25 と AlGaAs 層 24 を介して接合したものである。ここでは GaAs 基板上で面発光レーザ素子 2 を形成した後に、Si 基板へ接合を行う方法を用いた。図 11 a は、前記第 1 実施形態と同様にして形成された GaAs 基板 11、エッチングストップ層 12、AlGaAs 層 24、n コンタクト層 13、面発光

レーザエピタキシャル層14、pコンタクト層15である。AlGaAs層24としては、 $0 < x < 0.5$ の比較的Al組成の低い材料が適している。ここではAl<sub>0.2</sub>Ga<sub>0.8</sub>Asを用いた。

【0046】次に、図11bに示すように、前記pコンタクト層15上に設けられたレジスト層等をマスクとし、ドライエッチング法により、前記面発光レーザエピタキシャル層14をメサ状にエッチングして、柱状部3を形成する。前記レジスト層の形成方法は、pコンタクト層15表面に塗布されたフォトリソグラフィ法によりパターンニングして、所定のパターンのレジスト層を形成する。また、ドライエッチングには、通常、エッチングガスとして塩素又は塩素系ガス（塩化水素、SiCl<sub>4</sub>、BCl<sub>3</sub>）を用いた反応性イオンビームエッチング法が用いられる。

【0047】次に、図11cに示すように、前記柱状部3及びその周囲を覆うレジスト層を形成し、このレジスト層をマスクとして、ドライエッチング法により、残りの面発光レーザエピタキシャル層14をエッチングし、前記nコンタクト層13が露出するコンタクトホール4を形成する。レジスト層の形成方法及びドライエッチング法は、前記図11bと同様である。

【0048】次に、図11dに示すように、前記柱状部3の周囲にポリイミド絶縁層5を形成する。ここでは、感光性ポリイミド前駆体を表面にスピコートした後、フォトリソグラフィ法で柱状部3の上面とコンタクトホール4の底面、つまりnコンタクト層13の上面を露出し、これを窒素雰囲気中で加熱処理（400℃）してポリイミド樹脂に変質させる。これにより、前記柱状部3の周囲に埋め込むように絶縁層5が形成される。

【0049】次に、図11eに示すように、前記柱状部3の上面のpコンタクト層15にリング状のアノード電極7を形成し、前記コンタクトホール4内のnコンタクト層13にカソード電極6を形成し、これにより前記面発光レーザエピタキシャル層14の柱状部3に前記pインダイオードからなる面発光レーザ素子2が形成される。なお、前記カソード電極6はAuGe合金、アノード電極7はAuZn合金とした。

【0050】次に、図11fに示すように、GaAs基板11上に形成された面発光レーザ素子2を接着剤26を介して保持基板27に貼り付けてから、選択エッチングによって前記GaAs基板11を除去する。選択エッチングには、アルカリ系のエッチング液、例えばアンモニア水と過酸化水素水の混合液などが用いられる。エッチングストップ層12はこれらのエッチング液に対してエッチングレートが極めて小さいため、GaAs基板11のみをエッチングすることができる。ここでは保持基板27としてガラスを用いたが、フィルムのような柔軟性のある膜を用いることもできる。

【0051】次に、図11gに示すように、つづいて緩

衝フッ酸などによって、前記エッチングストップ層12を除去してAlGaAs層24を露出させた後、表面にSiO<sub>2</sub>膜25を形成したSi基板17と重ね合わせ圧着する。このとき少なくとも一方の表面に0.1～3.0%の希釈フッ酸溶液を塗布するとよい。またこの状態で加圧しながら70～300度の熱を加えることが望ましい。

【0052】そして最後に、図11iに示すように、接着剤26と保持基板27を除去し、前記Si基板17を異方性エッチングして、前記図10の凹部に嵌合する形態のSi製ブロック1を形成する。これにより、面発光レーザ素子2が上面に形成されたSi製ブロック1からなる実装用微小構造体が完成される。

【0053】以下、本発明の光伝送装置の2つの実施形態について説明する。図13は、本発明の光伝送装置の第1実施形態である積層ICチップ間の光インターコネクション装置の概略構成図であり、ここでは、CPUやDRAM等のICチップ（LSI）1001a～1001cを三層積層している。この実施形態では、図示する最下層のICチップ1cの発光素子1002aの光を中層及び最上層のICチップ1001b、1001aの受光素子1003aで受光し、最上層のICチップ1001aの発光素子1002bの光を中層及び最下層のICチップ1001b、1001cの受光素子3bで受光するように構成されている。そのため、一方の発光素子1002aは他方の発光素子1002bと発光波長が異なり、また一方の受光素子1003bは他方の受光素子1003aと感受する受光波長帯域が異なる。なお、この実施形態では、各ICチップ1001a～1001cの基板（基体）1004a～1004c及び微小構造体1007a～1008bをSiで作製した。そのため、各発光素子の光として1.0μm以上、好ましくは1.1μm以上の波長を選んでいる。Siは1.0μmの波長に対して約100cm<sup>-1</sup>と吸収係数が大きく、相応の損失がある。一方、波長が1.1μm以上では、吸収係数は10cm<sup>-1</sup>以下と小さい。そこで、本実施形態では、各発光素子の光の波長を1.0μm以上、好ましくは1.1μm以上とした。この波長の光ならば、Siを容易に透過することができるため、対向する受発光素子間の光信号の伝達が良好にできる。勿論、後述する接着層1021も、この波長帯域の光に対して透明である。

【0054】前記各ICチップ1001a～1001cの各基板1004a～1004cのうち、前記各発光素子1002a、1002b及び受光素子1003a、1003bを実装すべき部位には、凹部1005b（1005a）、1006a（1006b）が形成されている。各凹部1005b、1006aは、上方面より下方面が小さく、且つ側面が台形状の凹部である。これらの凹部1005b、1006aは、Siを異方性エッチングすることによって、特に側面の傾きなど、極めて

精度よく、形成することができる。なお、少なくとも同じ基板 1004a 上の発光素子用凹部 1005b と受光素子用凹部 1006a とは、大きさ等の形態が異なる。また、本実施形態では、図 13 に示すように、その他の凹部、例えば中層の IC チップ 1001b の基板 1004b の受光素子用凹部 1006a、1006b 同士も、最下層の IC チップ 1001c の基板 1004c の受光素子用凹部 1006b と発光素子用凹部 1005a とともに大きさ等の形態が異なっている。つまり、例えば 1006a や 1006b のように、同じ符号を付している凹部同士は大きさ等の形態が同じであるが、符号の異なる凹部同士は、互いに大きさ等の形態が異なる。換言すれば、同じ機能の素子が必要な部位の凹部は形態が同じであるが、異なる機能の素子用の凹部は形態が異なるのである。

【0055】次に、本発明の光伝送装置を波長多重型光インターコネクション装置に適用した第 2 実施形態を示す。波長多重型光インターコネクション装置は、例えば図 14 のように構成される。この例は、例えば特開平 11-289317 号公報に記載されるものと同等であり、波長の異なる複数の発光素子 2 が実装されている発光素子アレイ 1111 と、光導波路となる光ファイバ 1110 と、前記発光素子 1002 の夫々の波長の光を抽出するフィルタ素子 1022 が実装されているフィルタアレイ 1112 と、このフィルタアレイ 1112 で抽出された各波長の光を受光する受光素子 1003 が実装されている受光素子アレイ 1113 とで構成される。なお、図では、理解を容易にするために、各構成要素を分離しているが、実質的に各構成要素は、光学的に直接接合されている。

#### 【0056】

【発明の効果】以上説明したように、本発明のうち請求項 1 に係る実装用微小構造体は、基体上面の凹部に嵌合する形態の Si 製ブロックの上面に化合物半導体素子を形成する構成としたため、異方性エッチングによって、前記 Si 製ブロックの形態精度を高めることができ、この Si 製ブロックが、形態精度の高い凹部に嵌合して、化合物半導体素子の実装位置精度が高まる。

【0057】また、本発明のうち請求項 2 に係る実装用微小構造体によれば、Si 製ブロックと化合物半導体素子とを直接接合で接合する構成としたため、請求項 1 に係る実装用微小構造体を実用化し易い。また、本発明のうち請求項 3 に係る実装用微小構造体によれば、Si 製ブロックと化合物半導体素子とを InP-Si 直接接合で接合する構成としたため、請求項 1 に係る実装用微小構造体を実用化し易い。また、本発明のうち請求項 4 に係る実装用微小構造体によれば、Si 製ブロックと化合物半導体素子とを GaAs-Si 直接接合で接合する構成としたため、請求項 1 に係る実装用微小構造体を実用化し易い。

【0058】また、本発明のうち請求項 5 に係る実装用微小構造体によれば、Si 製ブロックと化合物半導体素子とを金属膜を介して接合する構成としたため、請求項 1 に係る実装用微小構造体を実用化し易い。また、本発明のうち請求項 6 に係る実装用微小構造体によれば、Si 製ブロックと化合物半導体素子とを半田を介して接合する構成としたため、請求項 1 に係る実装用微小構造体を実用化し易い。また、本発明のうち請求項 7 に係る実装用微小構造体によれば、Si 製ブロックと化合物半導体素子とを樹脂を介して接合する構成としたため、請求項 1 に係る実装用微小構造体を実用化し易いと共に、前記樹脂が、化合物半導体素子と Si 製ブロックとの間の絶縁層となる。

【0059】また、本発明のうち請求項 8 に係る実装用微小構造体によれば、Si 製ブロックと化合物半導体素子とを SiO<sub>2</sub> 膜を介して接合する構成としたため、請求項 1 に係る実装用微小構造体を実用化し易い。また、本発明のうち請求項 9 に係る実装用微小構造体によれば、Si 製ブロックと化合物半導体素子とを SiO<sub>2</sub> 膜と AlGaAs 層を介して接合する構成としたため、請求項 1 に係る実装用微小構造体を実用化し易い。

【0060】また、本発明のうち請求項 10 に係る実装用微小構造体によれば、化合物半導体素子を、一つの Si 製ブロックに対して複数形成する構成としたため、より高密度な実装が可能となる。また、本発明のうち請求項 11 に係る実装用微小構造体によれば、Si 製ブロック自体に、個別の素子を形成する構成としたため、単に基体上に化合物半導体素子を実装するだけでなく、単一の実装用微小構造体により複数の機能を得て、更なる高密度実装が可能となる。

【0061】また、本発明のうち請求項 12 に係る実装用微小構造体によれば、Si 製ブロック自体に形成された個別の素子が、前記化合物半導体素子と互いに重合又は対向する位置に配置されるように構成したため、例えば化合物半導体素子が発光素子で、Si 製ブロック自体に形成された個別の素子が受光素子である場合には、発光素子の発光状態を受光素子でモニタすることができる。

【0062】また、本発明のうち請求項 13 に係る実装用微小構造体によれば、Si 製ブロック自体に形成された個別の素子は、前記化合物半導体素子と互いにずれた位置に配置されるように構成したため、例えば化合物半導体素子が発光素子で、Si 製ブロック自体に形成された個別の素子が受光素子である場合に、二つの実装用微小構造体が逆向きに対向するように基体を配置すれば、互いの発光素子の発光状態を、互いの受光素子でモニタすることができる。

【0063】また、本発明のうち請求項 14 に係る実装用微小構造体によれば、化合物半導体素子用の全ての電極を、Si 製ブロックの上面に形成する構成としたた

め、化合物半導体素子の検査を行い易く、また Si 製ブロック自体に個別の素子を形成する場合には、当該 Si 製ブロック自体の素子と化合物半導体素子とを個別に駆動し易い。

【0064】また、本発明のうち請求項 15 に係る実装用微小構造体によれば、化合物半導体素子用の何れかの電極を、Si 製ブロック用の電極と共通化する構成としたため、電極数を低減して、構成の容易化や低コスト化を図ることができる。また、本発明のうち請求項 16 に係る実装用微小構造体によれば、Si 製ブロックの上面に形成された化合物半導体素子用の電極と当該 Si 製ブロックとの間に、抵抗値が  $1 \times 10^4 \Omega$  以上の高抵抗層を設ける構成としたため、Si 製ブロック自体に個別の素子を形成する場合には、当該 Si 製ブロック自体の素子と化合物半導体素子とを絶縁して、個別に駆動し易い。

【0065】また、本発明のうち請求項 17 に係る実装用微小構造体によれば、高抵抗層を化合物半導体で構成したため、請求項 16 に係る実装用微小構造体を実用化し易い。また、本発明のうち請求項 18 に係る実装用微小構造体によれば、高抵抗層を、Cr と O がドーパされた化合物半導体で構成したため、請求項 16 に係る実装用微小構造体を実用化し易い。

【0066】また、本発明のうち請求項 19 に係る実装用微小構造体によれば、高抵抗層を酸化物で構成したため、例えば Si 製ブロックを酸化して、容易に高抵抗層を形成することができ、請求項 16 に係る実装用微小構造体を実用化し易い。また、本発明のうち請求項 20 に係る実装用微小構造体によれば、高抵抗層を窒化物で構成したため、例えば Si 製ブロックを窒化して、容易に高抵抗層を形成することができ、請求項 16 に係る実装用微小構造体を実用化し易い。

【0067】また、本発明のうち請求項 21 に係る実装用微小構造体によれば、高抵抗層を樹脂で構成したため、請求項 16 に係る実装用微小構造体を実用化し易い。また、本発明のうち請求項 22 に係る実装用微小構造体によれば、Si 製ブロックの上面に形成された化合物半導体素子用の電極と当該 Si 製ブロックとの間に、PN 接合による電流阻止層を設ける構成としたため、Si 製ブロック自体に個別の素子を形成する場合には、当該 Si 製ブロック自体の素子と化合物半導体素子とを絶縁して、個別に駆動し易いと共に、Si 製ブロックを半導体処理して容易に電流阻止層を形成することが可能となる。

【0068】また、本発明のうち請求項 23 に係る実装用微小構造体によれば、P 型半導体及び N 型半導体の層を PNP 又は NPN の順に積層して電流阻止層を構成したため、Si 製ブロックに対する半導体処理により容易に電流阻止層を形成することができる。また、本発明のうち請求項 24 に係る実装用微小構造体によれば、電流阻止層を構成する P 型半導体又は N 型半導体として、S

i 製ブロック直近のコンタクト層を用いることとしたため、電流阻止層の形成がより一層容易になると共に、構成の容易化や低コスト化が可能となる。

【図面の簡単な説明】

【図 1】 本発明の実装用微小構造体の第 1 実施形態を示す製造説明図である。

【図 2】 本発明の実装用微小構造体の第 2 実施形態を示す製造説明図である。

【図 3】 本発明の実装用微小構造体の第 3 実施形態を示す製造説明図である。

【図 4】 本発明の実装用微小構造体の第 4 実施形態を示す概略構成図である。

【図 5】 本発明の実装用微小構造体の第 5 実施形態を示す概略構成図である。

【図 6】 本発明の実装用微小構造体の第 6 実施形態を示す概略構成図である。

【図 7】 本発明の実装用微小構造体の第 7 実施形態を示す構成図である。

【図 8】 本発明の実装用微小構造体の第 8 実施形態を示す構成図である。

【図 9】 本発明の実装用微小構造体の第 9 実施形態を示す構成図である。

【図 10】 素子実装技術の説明図である。

【図 11】 本発明の実装用微小構造体の第 10 実施形態を示す製造説明図である。

【図 12】 本発明の実装用微小構造体の第 10 実施形態を示す製造説明図である。

【図 13】 本発明の光伝送装置の第 1 実施形態を示す概略構成図である。

【図 14】 本発明の光伝送装置の第 2 実施形態を示す概略構成図である。

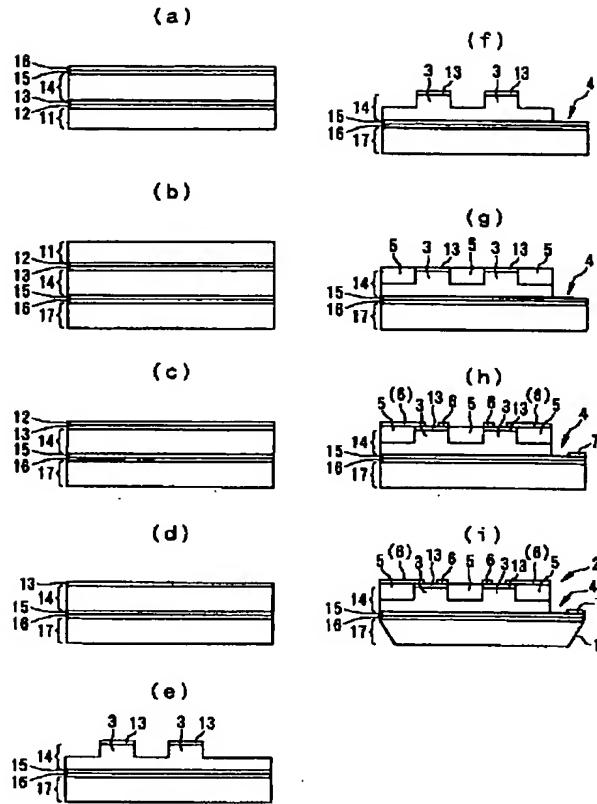
【符号の説明】

- 1 は Si 製ブロック
- 2 は面発光レーザ素子（化合物半導体素子）
- 3 は柱状部
- 4 はコンタクトホール
- 5 は絶縁部
- 6 はカソード電極
- 7 はアノード電極
- 8 はフォトダイオード（素子）
- 11 は GaAs 基板
- 12 はエッチングストップ層
- 13 は n コンタクト層
- 14 は面発光レーザエピタキシャル層
- 15 は p コンタクト層
- 16 は InP 層
- 17 は Si 基板
- 18 は GaAs 層
- 19 は Pd 膜（金属膜）
- 20 は樹脂製接着剤（樹脂）

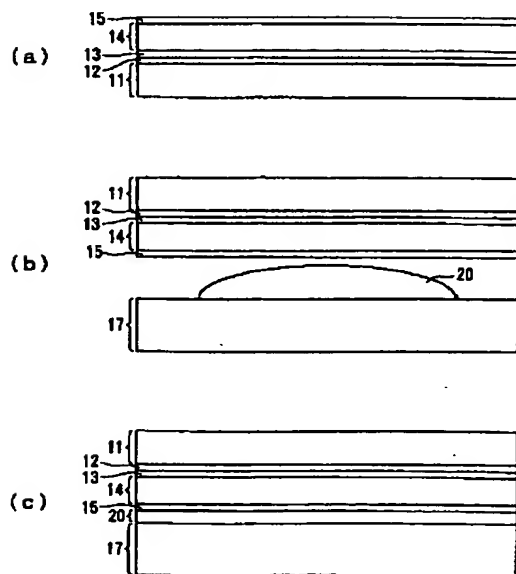
22は中間層  
23は高抵抗層  
24は電流阻止層

25はAlGaAs層  
26はSiO<sub>2</sub>層  
27は保持基板

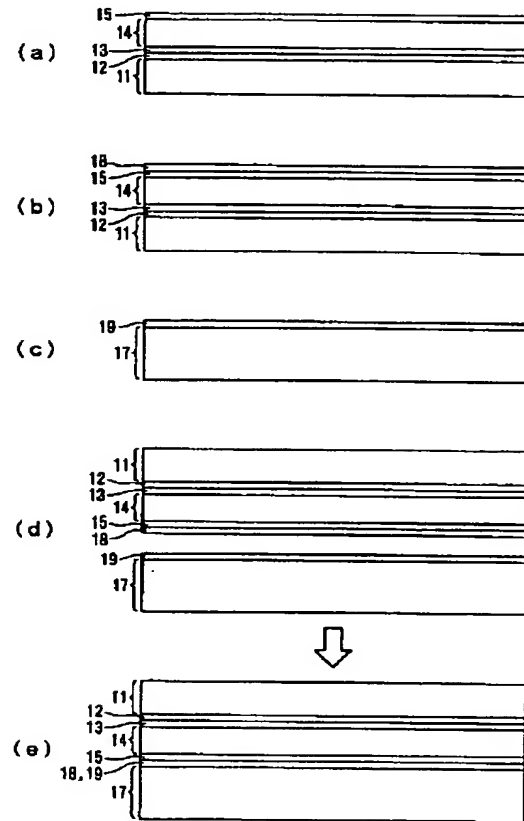
【図1】



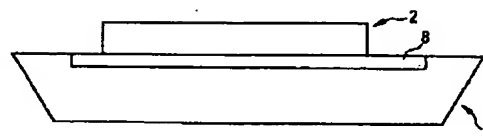
【図3】



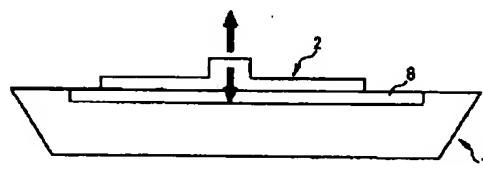
【図2】



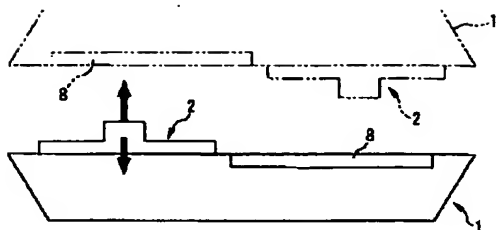
【図4】



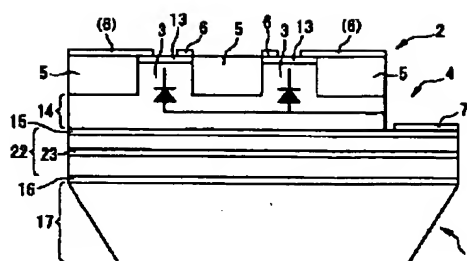
【図5】



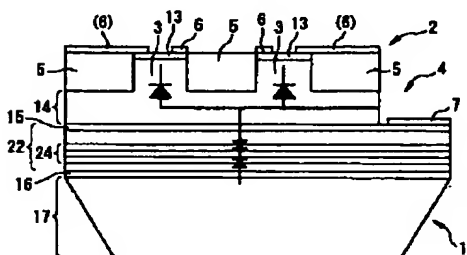
【図 6】



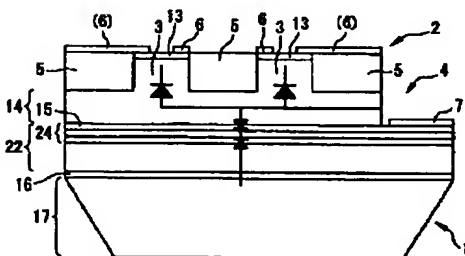
【図 7】



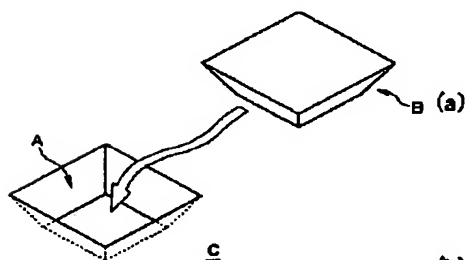
【図 8】



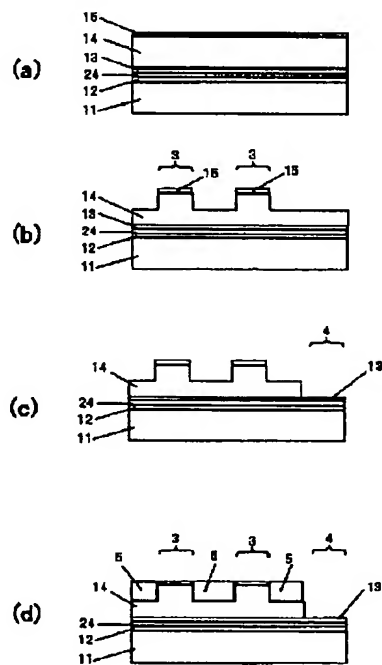
【図 9】



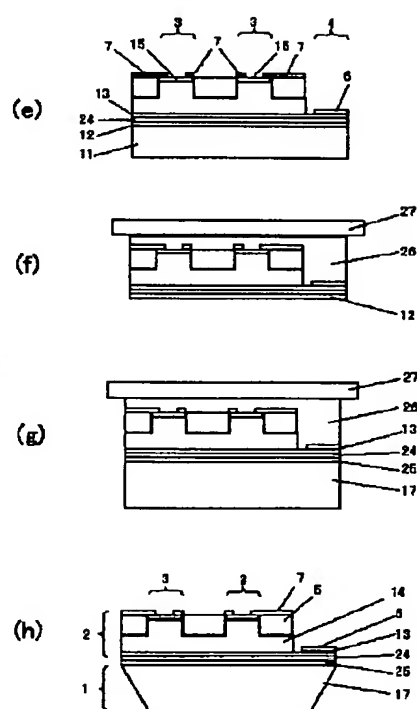
【図 10】



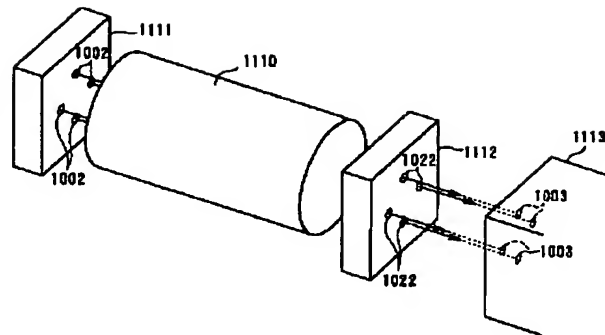
【図 11】



【図 12】



【図 14】



(51) Int. Cl. <sup>7</sup>  
H 0 1 S 5/022

F I  
H O 1 L 31/02

テーマコート' (参考)

B

F ターム (参考)	5F073	AA65	AA74	AB15	AB17	DA34
		DA35	FA04	FA13	FA16	FA21
	5F088	BA16	BB01	EA07	EA09	EA11
		CA04	KA02	KA08		
	5F089	AA01	AB03	AC10	AC18	FA06